

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-283177

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

H01L 21/304  
B24B 37/04

(21)Application number : 07-021074

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.01.1995

(72)Inventor : OHASHI HIROYUKI  
MIYASHITA NAOTO

(30)Priority

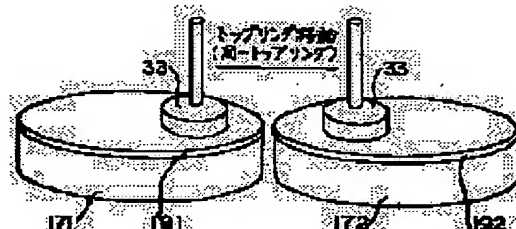
Priority number : 06 22486    Priority date : 21.02.1994    Priority country : JP

## (54) METHOD AND DEVICE OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable a semiconductor substrate to be enhanced in polishing rate and productivity and lessened in in-plane dispersion of polishing by a method wherein a film on a semiconductor substrate to polish is polished with abrasive cloths different in compressibility until a polishing stop film is exposed.

CONSTITUTION: A first abrasive cloth 191 is attached onto a first polishing plate 171, and a second abrasive cloth 192 is fitted to a second polishing plate 172, wherein the first abrasive cloth 191 is low in hardness and above 6 in compressibility, and the second abrasive cloth 192 is high in hardness and below 6 in compressibility. A semiconductor wafer is polished as supported by a suction pad 33 fixed to a drive shaft. In a first stage, the wafer is polished with abrasive cloth low in hardness for a certain time designated until a polishing film is removed. In a second stage, the wafer is polished with abrasive cloth high in hardness till a stopper film is removed and then subjected to a final check.



## LEGAL STATUS

[Date of request for examination] 15.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3450485

[Date of registration] 11.07.2003

BEST AVAILABLE COPY

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283177

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/304	3 2 1 Z			
	E			
	M			
B 2 4 B 37/04	Z			

審査請求 未請求 請求項の数9 F D (全 9 頁)

(21) 出願番号 特願平7-21074

(22) 出願日 平成7年(1995)1月14日

(31) 優先権主張番号 特願平6-22486

(32) 優先日 平6(1994)2月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大橋 宏之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72) 発明者 宮下 直人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

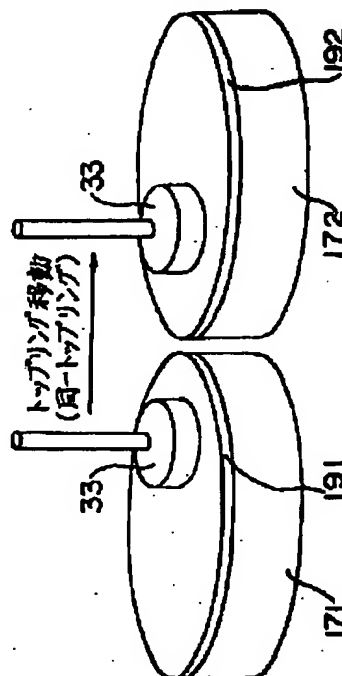
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体装置の製造方法及び半導体製造装置

(57) 【要約】

【目的】 ポリッシングレートの増加による生産効率の向上及び面内ばらつきの減少を図ると同時に、被ポリッシング膜とストッパー膜との選択比のパターン依存性の少ないポリッシング方法及びポリッシング装置を提供する。

【構成】 このポリッシング方法は、主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上的前記第2の膜を所定の時間、所定の圧縮率又は回復率の第1の研磨布を用いて第1のポリッシングを行う工程と、前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より圧縮率又は回復率の低い研磨布を用いて第2のポリッシングを行う工程を備えている。ポリッシング装置の研磨布191、192に圧縮率の異なる少なくとも2種類以上のものを用いることにより、高圧縮率の研磨布191を用いてポリッシング時間を短縮するとともに低圧縮率の研磨布192を用いてパターン依存性を少なくしかつ面内ばらつきを少なくすることによってバランスの良いポリッシングを可能にする。



## 【特許請求の範囲】

【請求項1】 主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を前記第1の膜が露出するまで圧縮率の異なる複数の研磨布を用いてポリッシングする工程を備えていることを特徴とする半導体装置の製造方法。

【請求項2】 主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を、前記第1の膜が露出するまで回復率の異なる複数の研磨布を用いてポリッシングする工程を備えていることを特徴とする半導体装置の製造方法。

【請求項3】 主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を所定の時間、所定の圧縮率の第1の研磨布を用いて第1のポリッシングを行う工程と、

前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より圧縮率の低い研磨布を用いて第2のポリッシングを行う工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項4】 主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板の前記第2の膜を所定の時間、所定の圧縮率の第1の研磨布を用いて第1のポリッシングを行う工程と、

前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より圧縮率の高い研磨布を用いて第2のポリッシングを行う工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項5】 主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板の前記第2の膜を所定の時間、所定の回復率の第1の研磨布を用いて第1のポリッシングを行う工程と、

前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より回復率の低い研磨布を用いて第2のポリッシングを行う工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項6】 主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板の前記第2の膜を所定の時間、所定の回復率の第1の研磨布を用いて第1のポリッシングを行う工程と、

前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より回復率の高い研磨布を用いて第2のポリッシングを行う工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項7】 前記第1の研磨布の圧縮率は、6以上で

あり、前記第2の研磨布の圧縮率は、6未満であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項8】 前記第1及び第2の膜は、絶縁膜、金属膜、半導体膜のいずれかであることを特徴とする請求項1乃至請求項7のいずれかに記載の半導体装置の製造方法。

【請求項9】 第1の研磨布と、

前記第1の研磨布とは異なる圧縮率又は回復率を有する第2の研磨布と、

第1の研磨盤駆動軸により回転され、表面に前記第1の研磨布を取り付けた第1の研磨盤と、

第2の研磨盤駆動軸により回転され、表面に前記第2の研磨布を取り付けた第2の研磨盤とを備え、主面にポリ

ッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板の前記第2の膜を所定の時間、前記第1の研磨布を用いて第1のポリッシングを行い、その後前記第2の膜の残りを前記第1の膜が露出するまで前記第2の研磨布を用いて第2のポリッシングを行うことを特徴とする半導体製造装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法及びこの方法を実施するための半導体製造装置に関し、とくに層間絶縁膜などの平坦化、トレンチ内へのポリシリコンやシリコン酸化膜の埋込みに用いられるポリッシング方法及びポリッシング装置に関するものである。

## 【0002】

【従来の技術】ICやLSIなどの半導体装置は、半導体基板に形成する集積回路を設計する設計工程、集積回路を形成するために用いられる電子ビームなどを描画するためのマスク作成工程、単結晶インゴットから所定の厚みのウェーハを形成するウェーハ製造工程、ウェーハに集積回路などの半導体素子を形成するウェーハ処理工程、ウェーハを各半導体基板に分離しパッケージングして半導体装置を形成する組立工程及び検査工程等を経て形成される。各工程には、それぞれその工程に必要な製造装置が用意される。半導体製造装置にはこの他にも前処理装置や排ガス処理装置など設備、環境に必要な製造装置も用いられる。従来ウェーハ処理工程においてトレンチやコンタクトホールなどの溝（トレンチ）部に金属、ポリシリコン、シリコン酸化膜（ $\text{SiO}_2$ ）などの任意の材料を埋め込んだ後にその表面を平坦化する方法としてエッチバックRIE (Reactive Ion Etching) 法が知られている。以下、図7及び図8を参照してこの方法を説明する。

【0003】まず、シリコン半導体などの半導体基板1表面に熱酸化法等による $\text{SiO}_2$ 膜2及びCVD法などによりストッパー膜となるポリシリコン膜3を形成する（図7（a））。次に、ポリシリコン膜3、 $\text{SiO}_2$ 膜

2及び半導体基板1表面をRIEにより選択的に除去してそこに溝部4を形成する(図7(b))。次に、前記溝部4の内部及びポリシリコン膜3の表面にSiO<sub>2</sub>膜5をCVD法により堆積させる(図7(c))。このとき、溝部4の上にあたるSiO<sub>2</sub>膜5表面には溝部4の凹部に対応したへこみ51ができる。さらに、SiO<sub>2</sub>膜5表面の凹凸を小さくするために、エッチバックレジスト6をSiO<sub>2</sub>膜5上に形成する(図8(a))。次いで、エッチバックレジスト6とSiO<sub>2</sub>膜5がほぼ同じエッチングレートとなる条件でRIEを行う(図8

(b))。このエッチバックRIEを用いると溝部4にのみSiO<sub>2</sub>膜5が埋め込まれ、ポリシリコン膜3の表面、つまり、ウェーハ表面が平坦になる。しかし、凹み51のあった部分には幾分凸部52が残っており十分な平坦化が難しい。このウェーハ1表面の平坦化は、ストッパー膜となるポリシリコン膜3のエッチングレートがSiO<sub>2</sub>膜5より小さくなるように設定することにより可能となる。

【0004】SiO<sub>2</sub>膜5がエッチングされ、ポリシリコン膜3表面が露出し始めると、プラズマ放電中に含まれるスペクトルにポリシリコンのSiに対応する信号のピークが発生する。この放電スペクトルの変化をモニタし、前記ポリシリコンの信号ピークを検出することにより、エッチバックRIEによるSiO<sub>2</sub>膜5のエッチング終点を検出でき、この検出によって溝部4内へのSiO<sub>2</sub>膜5の埋め込みが完了する。このRIEにおいて、ストッパー膜は被エッチング膜のエッチング終点を検出するために重要な働きをする。尚、ストッパー膜の種類は使用する工程や装置、条件により最も有効であると考えられるものは全て使用する事ができる。しかしながら、このエッチバックRIE方法は、エッチバックレジストの塗布などの工程が多くなること、ウェーハ表面にRIEダメージが入りやすいこと、良好な平坦化が難しいこと、また真空系の装置を用いるため、構造が複雑で、危険なエッチングガスを使用することなどから様々な問題点が多い。半導体装置に形成される集積回路が高集積化、微細化するにつれてパターンの縮小と同時に表面形状も複雑になる。そのため従来の平坦化技術では十分対応することができなくなる。

【0005】そのため、近年エッチバックRIEに代わって、CMP(Chemical Mechanical Polishing)法が盛んに研究されるようになってきた。次に、図9にウェーハ表面を平坦化するために用いられるCMP用のポリッシング装置の概略を示し、その構成を説明する。台11上にベアリング13を介して研磨盤受け15が配置されている。この研磨盤受け15上には研磨盤17が取り付けられている。この研磨盤17上にはウェーハを研磨する研磨布19が張り付けられている。研磨受け15及び研磨盤17を回転させるためにこれらの中心部分に駆動シャフト21が接続されている。この駆動シャフト21

は、モータ23により回転ベルト25を介して回転される。一方、ウェーハ20は研磨布19と対抗する位置にくるように真空または水張りにより、テンプレート29及び吸着布31が設けられた吸着盤33により吸着されている。この吸着盤33は、駆動シャフト35に接続されている。またこの駆動シャフト35は、モータ37によりギア39及び41を介し回転される。駆動シャフト35は、上下方向の移動に対し駆動台43に固定されている。

【0006】このような構造によって、シリンダ45による上下の移動に伴い、駆動台43が上下移動し、これにより吸着盤33に固定されたウェーハ20が研磨布19に押しつけられたり研磨布19から離れたりする。ウェーハ20と研磨布19の間には目的に応じて研磨剤が流され、これによりウェーハ20のポリッシングが行われる。また、図面には示さないが、ウェーハは、ポリッシングの間に別の駆動系によりX-Y方向(水平方向)に移動可能となっている。

【0007】次に、図10及び図11を参照して図9に示すポリッシング装置を用いたCMP法によるウェーハ表面の平坦化処理の一例を説明する。半導体基板1上にCVD法などによりSi<sub>3</sub>N<sub>4</sub>膜7を形成する(図10(a))。次に、パターニングを行ってSi<sub>3</sub>N<sub>4</sub>膜7及び半導体基板1の所定部分をエッチングし、そこに溝部8を形成する(図10(b))。そして、Si<sub>3</sub>N<sub>4</sub>膜7上及び溝部8内にSiO<sub>2</sub>膜5をCVD法により積層する(図11(a))。続いて、CMP法によりSiO<sub>2</sub>膜5をポリッシングし、ストッパー膜となるSi<sub>3</sub>N<sub>4</sub>膜7の露出を検出した段階でSiO<sub>2</sub>膜5のポリッシングを終了させることにより、溝部8内へのSiO<sub>2</sub>膜5の埋込みが完了すると共に半導体基板1表面の平坦化が行われる(図11(b))。このCMP法は、図7及び図8に示すエッチバックRIE法と比べ工程が短縮され、また良好な平坦化が達成される。尚、CMP法自体は新しい技術ではなく、前述した半導体装置の製造工程におけるウェーハ製造工程での製造プロセスで用いられている技術である。

【0008】最近、CMP技術が高集積デバイスの製造プロセスに用いられるようになってきている。そこで、次に、図12乃至図14を参照してその応用例を説明する。図12は、トレンチ素子分離プロセスにおけるCMP法の応用である。半導体基板1表面を熱酸化してSiO<sub>2</sub>膜2を形成した後ポリッシングのストッパー膜となるSi<sub>3</sub>N<sub>4</sub>膜7をこのSiO<sub>2</sub>膜の上にCVD法により形成する。次に、リソグラフィによるパターニングで素子分離形成領域のSi<sub>3</sub>N<sub>4</sub>膜7と、SiO<sub>2</sub>膜2及び半導体基板1の一部を除去して溝部9を形成する。続いて溝部9内の半導体基板1表面を酸化し、さらに溝部9の底にボロンをイオン注入し、チャネルカット領域10を形成する。次に、Si<sub>3</sub>N<sub>4</sub>膜7上及び溝部9内に

ポリシリコン膜3をCVD法により形成する(図12(a))。ポリシリコン膜に代えてSiO<sub>2</sub>を利用して良い。次に、半導体基板1表面のポリシリコン3をSi<sub>3</sub>N<sub>4</sub>膜7が露出するまでポリッシングする(図12(b))。このときのポリッシング条件では、ポリシリコン膜と比べSi<sub>3</sub>N<sub>4</sub>膜7のポリッシングレートは、約1/10~1/200程度と小さい条件を用いているためにSi<sub>3</sub>N<sub>4</sub>膜7でポリッシングを止めることができ、溝内部にのみポリシリコン膜3が埋め込まれる。

【0009】このようにポリッシングでのストッパー膜は、ポリッシングしたい膜と比べポリッシングレートの小さいものを選び、ポリッシング時間を指定することでこのストッパー膜が露出した段階でポリッシングを終了させることができる。次に、図13及び図14を参照して金属配線を絶縁膜の溝部内へ埋め込む場合に用いるCMP法の応用例を説明する。半導体基板1上にCVD法によるSiO<sub>2</sub>膜5及びプラズマSiO<sub>2</sub>膜12を続けて形成する(図13(a))。続いて、プラズマSiO<sub>2</sub>膜12をパターンニングして所定箇所に溝部14を形成する(図13(b))。溝部14内及びプラズマSiO<sub>2</sub>膜12の全面にCu膜16を積層する(図13

(c))。プラズマSiO<sub>2</sub>膜12をストッパー膜としてCu膜16をポリッシングする。プラズマSiO<sub>2</sub>膜12が露出した段階でCu膜16のポリッシングを終了させることにより溝部14内のみCu膜14が埋め込まれ、Cu埋め込み配線が形成される(図14

(a))。このポリッシングにより半導体基板1の表面が平坦化され、続く2層目のプラズマSiO<sub>2</sub>膜18の形成が容易になる(図14(b))。このCMP法による平坦化により2層目、3層目の電極配線(図示せず)の形成が容易となる。

#### 【0010】

【発明が解決しようとする課題】図9のポリッシング装置の研磨布は、硬度の違い(圧縮率、回復率)によってポリッシングレート、ウェーハ面内のばらつき(面内ばらつき)に差がある。また、この研磨布は、被ポリッシング膜とポリッシングを止めるストッパー膜との選択比のパターン依存性に差がある。柔らかい(高圧縮率)研磨布は、ポリッシングレートが速い反面、面内ばらつきが大きく、選択比のパターン依存性が大きくなってしま

と及びウェーハ面内のばらつきを減少することと、被ポリッシング膜とストッパー膜との選択比のパターン依存性を少なくすることを同時に図ることは困難である。本発明は、この様な事情によりなされたものであり、ポリッシングレートの増加による生産効率の向上及び面内ばらつきの減少を図ると同時に、被ポリッシング膜とストッパー膜との選択比のパターン依存性の少ないポリッシング方法を備えた半導体装置の製造方法及びこの方法に用いるポリッシング装置を備えた半導体製造装置を提供することを目的にしている。

#### 【0011】

【課題を解決するための手段】本発明の半導体装置の製造方法は、主面にポリッシングを止めるストッパー膜となる第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を、前記第1の膜が露出するまで圧縮率の異なる複数の研磨布を用いてポリッシングする工程を備えていることを第1の特徴とする。また、主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板の前記第2の膜を、前記第1の膜が露出するまで回復率の異なる複数の研磨布を用いてポリッシングする工程を備えていることを第2の特徴とする。また、主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を所定の時間、所定の圧縮率の第1の研磨布を用いて第1のポリッシングを行う工程と、前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より圧縮率の低い研磨布を用いて第2のポリッシングを行う工程を備えていることを第3の特徴とする。

【0012】主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を所定の時間、所定の圧縮率の第1の研磨布を用いて第1のポリッシングを行う工程と、前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より圧縮率の高い研磨布を用いて第2のポリッシングを行う工程を備えていることを第4の特徴とする。また、主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を所定の時間、所定の回復率の第1の研磨布を用いて第1のポリッシングを行う工程と、前記第2の膜の残りを前記第1の膜が露出するまで前記第1の研磨布より回復率の低い研磨布を用いて第2のポリッシングを行う工程を備えていることを第5の特徴とする。さらに、主面にポリッシングを止める第1の膜及びこの第1の膜の上にポリッシングされるべき第2の膜が形成されている半導体基板上の前記第2の膜を所定の時間、所定の回復率の第1の研磨布を用いて第1のポリッシングを行う工程と、前記第2の膜の残りを前記第1の膜が露出

するまで前記第 1 の研磨布より回復率の高い研磨布を用いて第 2 のポリッシングを行う工程を備えていることを第 6 の特徴とする。

【0013】前記第 1 の研磨布の圧縮率は、6 以上であり、前記第 2 の研磨布の圧縮率は、6 未満であるようにしても良い。前記第 1 及び第 2 の膜は、絶縁膜、金属膜、半導体膜のいずれかであるようにしても良い。本発明の半導体製造装置は、第 1 の研磨布と、前記第 1 の研磨布とは異なる圧縮率又は回復率を有する第 2 の研磨布と、第 1 の研磨盤駆動軸により回転され、表面に前記第 1 の研磨布を取り付けた第 1 の研磨盤と、第 2 の研磨盤駆動軸により回転され、表面に前記第 2 の研磨布を取り付けた第 2 の研磨盤とを備え、主面にポリッシングを止める第 1 の膜及びこの第 1 の膜の上にポリッシングされるべき第 2 の膜が形成されている半導体基板上の前記第 2 の膜を所定の時間、前記第 1 の研磨布を用いて第 1 のポリッシングを行い、その後、前記第 2 の膜の残りを前記第 1 の膜が露出するまで前記第 2 の研磨布を用いて第 2 のポリッシングを行うことを特徴とする半導体製造装置。

#### 【0014】

【作用】ポリッシング装置の研磨布に圧縮率の異なる少なくとも 2 種類以上のものを用いることにより、高圧縮率の研磨布を用いてポリッシング時間を短縮するとともに低圧縮率の研磨布を用いてパターン依存性を少なくしかつ面内ばらつきを少なくすることによってバランスの良いポリッシングを可能にする。

#### 【0015】

【実施例】以下、図 1 乃至図 6 を参照して本発明の実施例を説明する。まず、図 1 及び図 2 を用いてこの実施例に用いるポリッシング装置について説明する。図 2 は、研磨布を備えた研磨盤及びこれを動かす研磨盤駆動装置の断面図である。この研磨盤及び研磨盤駆動装置の上に配置されるウェーハを移動させる移動装置は、前述の図 9 のポリッシング装置のウェーハ移動装置を用いる。この時、ウェーハを研磨盤の間を移動させるには、図 1 に示す吸着盤（トップリング）33 に取り付けられた駆動シャフトを操作する。操作する方法としては、この駆動シャフトにスイングアームを取り付け、この動作によって吸着盤に取り付けたウェーハを一方の研磨盤から他方の研磨盤へ移動させる。また、この駆動シャフトに門型のシャフトを取り付け、この門型シャフトを研磨盤の両脇に配置したレール上を移動させることによりウェーハを移動させる。図 1 は、研磨盤とこれに付属する部分を表示した概略斜視図であり、研磨盤駆動装置などは省略し、移動装置は、吸着盤（トップリング）とシャフトのみを示す。このポリッシング装置では 2 つの研磨盤を備えていることに特徴がある。第 1 の研磨盤 171 と第 2 の研磨盤 172 は並列に配置されている。

【0016】研磨盤 171、172 の表面には、研磨布

191、192 が取り付けられている。第 1 の研磨盤 171 の上には第 1 の研磨布 191 が取り付けられており、第 2 の研磨盤 172 には第 2 の研磨布 192 が取り付けられている。第 1 の研磨布 191 には、圧縮率 6 以上の低い硬度の研磨布を用い、第 2 の研磨布 192 には圧縮率 6 未満の高い硬度の研磨布を用いる。シリコンウェーハなどの半導体ウェーハは、この上で駆動シャフトに取り付けられた吸着盤 33 により支持されてポリッシングされる。吸着盤 33 は、ウェーハ（図示せず）を吸着してウェーハのポリッシング面を研磨布 191、192 に接触させてポリッシングを行う。駆動シャフトは、前記のように操作され、この操作によって、駆動シャフト先端に取り付けられた吸着盤 33 に支持されたウェーハは、第 1 の研磨布 191 と第 2 の研磨布 192 間を移動される。

【0017】次に、図 2 を参照して研磨盤と研磨盤駆動装置を説明する。図 1 に示すポリッシング装置は、2 つの研磨盤を有するので、第 1 の研磨盤 171 を駆動する第 1 の駆動装置及び第 2 の研磨盤 172 を駆動する第 2 の駆動装置を備えている。第 1 の駆動装置には、台 111 上にベアリング 131 を介して研磨盤受け 151 が配置されている。この研磨受け 151 上には研磨盤 171 が取り付けられている。この研磨盤 171 上には、ウェーハを研磨する研磨布 191 が張り付けられている。研磨受け 151 及び研磨盤 171 を回転させるためにこれらの中心部分に駆動シャフト 211 が接続されている。この駆動シャフト 211 は、モータ 231 により回転ベルト 251 を介して回転される。ウェーハは研磨布 191 と対向する位置に配置されるように真空または水張りにより、テンプレート及び吸着布が設けられた吸着盤により吸着されている。一方、第 2 の駆動装置には、台 112 上にベアリング 132 を介して研磨盤受け 152 が配置され、その上には研磨布 192 を有する研磨盤 172 が取り付けられている。研磨盤 172 を回転させるためにその中心部分に駆動シャフト 212 が接続されている。駆動シャフト 212 は、モータ 232 により回転ベルト 252 を介して回転される。ウェーハは研磨布 192 と対向する位置に配置されるように真空または水張りにより、テンプレート及び吸着布が設けられた吸着盤により吸着されている。

【0018】吸着布を介して吸着盤に支持されたウェーハは、このような構造のポリッシング装置の研磨盤の上を第 1 の研磨布から次の研磨布へとポリッシングのために移動していく。ポリッシング装置には、ポリッシング段階の数にあわせて研磨盤が配置される。したがって、この実施例のように 2 段階でポリッシングを行うときには、2 つの研磨盤とそれを駆動する駆動装置が必要である。ウェーハは、第 1 及び第 2 の研磨布 191、192 に押しつけられたり研磨布から離れたりする。ウェーハと研磨布 191、192 の間には目的に応じて研磨剤が

流され、ウェーハのポリッシングが行われる。次に、このポリッシング装置を用いてウェーハをポリッシングする方法を説明する。この方法では複数段階、例えば、2段階にわけてウェーハ表面の絶縁膜、金属膜、半導体膜などの被ポリッシング膜をポリッシングする。

【0019】この実施例では、第1段階として硬度の低い研磨布を用い、次に、第2段階として硬度の高い研磨布を用いてポリッシングの終点まで行う。第1及び第2の研磨盤の回転数は、20～200rpm、吸着盤（トップリング）回転数は、20～200rpmであり、ウェーハを研磨布で研磨する加工圧は、50～500g/cm<sup>2</sup>である。この様な条件を維持しながらウェーハを第1の研磨盤から第2の研磨盤へそのまま移動させる。即ち、第1の研磨布で行う第1の段階のポリッシング条件を変えないで第2の研磨布で行う第2段階のポリッシングを行うのでバランスの良いポリッシングが実行できる。また、ポリッシングの終点を検出し、その時期を知る1例には、つぎのような方法がある。第1の方法としては、研磨盤駆動用モータのトルク電流の変化を検知することによって終点検出を行う。第2の方法としては、研磨盤の温度変化を検知することによって終点検出を行う。第3の方法としては、研磨盤の振動による変化を検知することによって終点検出を行う。

【0020】また、ウェーハの研磨を第1の研磨布から第2の研磨布へ移行する切り換えタイミングは、ポリッシング時間によって決める。まず、ポリッシングの第1段目は、所定の時間を指定してポリッシングを行い、被ポリッシング膜が無くなる前に止める。その後ポリッシングの第2段目を行い、ストッパー膜までポリッシュし、その時点で終点検出をかけるようにする。次に、図3を参照して研磨布の硬度を示す圧縮率とポリッシングレート及びウェーハ面内のばらつき（面内ばらつき）との関係を説明する。図は、ポリッシングレート及び面内ばらつきの研磨布の圧縮率依存性を示す特性図であり、縦軸にポリッシングレート（nm/min）及び面内ばらつき（%）を示し、横軸に研磨布の圧縮率を示す。研磨布は、圧縮率が大きいと硬度は低く、圧縮率が小さいと硬度が高い。ポリッシングレートは、圧縮率が6まではほぼ圧縮率に比例して増加していくが、圧縮率が6以上では、8程度までは6未満と同じ様に増加していくが、それ以上は変化が少なくなり微増している。面内ばらつきは、圧縮率が6未満までは微増しているが、6以上で面内ばらつきの変化が大きくなり、約15%で飽和する。

【0021】圧縮率が6以上であると、短いポリッシング時間でポリッシングができるが、圧縮率が6未満であると、ポリッシングレートは低下するものの、面内ばらつきを低くすることができる。この他に、研磨布の硬い、柔らかいは、回復率（圧縮弾性率）によっても規定することができる。圧縮率は、 $(T1 - T2) / T1 \times$

100 (%) で表わされ、回復率は、 $(T1 - T3) / (T1 - T2) \times 100 (%)$  で表わされる。第1荷重300g/cm<sup>2</sup>をかけたときの研磨布の厚みをT1、第2荷重1800g/cm<sup>2</sup>をかけたときの研磨布の厚みをT2、1分間放置後、荷重300g/cm<sup>2</sup>をかけたときの研磨布の厚みをT3として上記圧縮率及び回復率を計算する。次に、図4を参照して研磨布の圧縮率と選択比との関係を説明する。図は、選択比の前記圧縮率依存性を示す特性図であり、縦軸に選択比を示し、横軸に前記圧縮率を示す。選択比は、ポリシリコン膜などの被ポリッシング膜に対するエッチングレートとSi<sub>3</sub>N<sub>4</sub>膜などのストッパー膜に対するエッチングレートとの比を表わしている。特性曲線は、パターン面積が500μm、100μm、20μmの場合についてそれぞれ示している。

【0022】圧縮率が6未満の場合、高い選択比を維持することができ、しかも選択比はパターン面積によらない。しかし、圧縮率が6以上の場合、圧縮率が大きくなるにしたがって選択比は大きく低下し、とくにパターン面積が小さくなるに従って著しく選択比は低下する。つまり、圧縮率が6未満であると選択比のパターン面積依存性を低くすることができる。回復率は、圧縮率が6の場合において70に相当する。前記第1の段階では、速いポリッシングレートで被ポリッシング膜はポリッシングされる。被ポリッシング膜のポリッシング前の膜厚を10とすると、第1の段階で8～9の膜厚をポリッシングする。ついで、第2の段階では残りの1～2の膜厚の被ポリッシング膜をポリッシングする。その結果、選択比のパターン面積依存性が殆ど無く、それと同時に面内ばらつきも殆ど無く均一にポリッシングされる。すなわち、2段階のポリッシングによりポリッシング時間を短くするとともに同時に選択比のパターン面積依存性を無くすることができる。

【0023】次に、図5及び図6を参照してポリッシング処理後のストッパー膜（Si<sub>3</sub>N<sub>4</sub>膜）の残膜状態を説明する。図5は、ウェーハのセンターとエッジとを説明するウェーハの平面図、図6は、Si<sub>3</sub>N<sub>4</sub>膜の残膜のウェーハ無いの位置依存性を示す特性図であり、縦軸に残膜厚（nm）を示し、横軸にウェーハ内の位置を示している。従来Si<sub>3</sub>N<sub>4</sub>膜の残膜は、部分的に片寄りがあったが、本発明の方法では、均一に残膜している。従って、本発明では、ポリッシング後の残膜のばらつきも減少する。前述の実施例では、ポリッシングの第1の段階で低硬度の柔らかい研磨布を用い、第2の段階で高硬度の硬い研磨布を用いることにより、図3及び図4に示すような特性を利用してポリッシング時間を短縮するとともにパターン依存性を少なくしかつ面内ばらつきを少なくすることが可能になってバランスの良いポリッシングが行われる。

【0024】この実施例とは逆に、第1の段階で硬い研



磨布を用い、第2の段階で柔らかい研磨布を用いる工程で本発明のポリッシングを行うことができる。また、3段階以上でそれぞれ異なる硬度の研磨布を用いてポリッシングを行うことも可能である。この場合、第1の段階と最終の段階の間に1回以上の中間の段階を挿入することになるが、第1の段階と最終の段階とに用いる研磨布の硬度が大きくことなる場合には両者の中間の硬度の研磨布を使用することによってポリッシングをバランス良く行うことができる。即ち、研磨布の硬度を段階的に高くするか、段階的に低くすることによってバランスの良いポリッシングを行う。本発明は、とくに、図10乃至図14を参照して説明したウェーハ処理工程を含む半導体装置の製造方法などに適用される。

#### 【0025】

【発明の効果】本発明は、圧縮率もしくは回復率の異なる複数の研磨布でウェーハ表面をポリッシングするので、高圧縮率もしくは高回復率の研磨布を用いてポリッシング時間を短縮するとともに低圧縮率もしくは低回復率の研磨布を用いてパターン依存性を少なくし、かつ面内ばらつきを少なくし、その結果ポリッシング時間を短くすると共に高精度でバランスの良いポリッシングを行うことができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体製造装置のポリッシング装置の部分斜視図。

【図2】本発明の半導体製造装置のポリッシング装置の部分断面図。

【図3】本発明の製造方法を説明するポリッシングレート及び面内ばらつきの圧縮率依存性を示す特性図。

【図4】本発明の製造方法を説明する選択比の圧縮率依存性を示す特性図。

【図5】本発明及び従来のポリッシング装置を用いてポリッシングしたときのストッパー膜( $\text{Si}_3\text{N}_4$ 膜)の残膜膜厚のウェーハ面内分布を示すウェーハ平面図。

【図6】本発明及び従来のポリッシング装置を用いてポ

リッシングしたときのストッパー膜( $\text{Si}_3\text{N}_4$ 膜)の残膜膜厚のウェーハ面内分布を示す特性図。

【図7】従来のエッチバックRIE法による積層された膜の平坦化プロセス断面図。

【図8】従来のエッチバックRIE法による積層された膜の平坦化プロセス断面図。

【図9】従来のポリッシング装置の断面図。

【図10】本発明及び従来のCMP法による $\text{SiO}_2$ 膜の平坦化プロセス断面図。

【図11】本発明及び従来のCMP法による $\text{SiO}_2$ 膜の平坦化プロセス断面図。

【図12】本発明及び従来のCMP法によるトレンチ素子分離プロセス断面図。

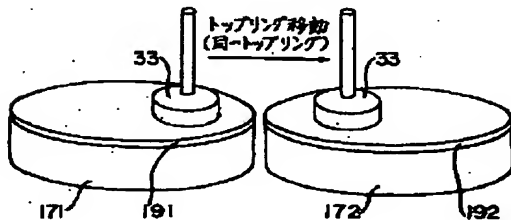
【図13】本発明及び従来のCMP法による金属配線埋込みプロセス断面図。

【図14】本発明及び従来のCMP法による金属配線埋込みプロセス断面図。

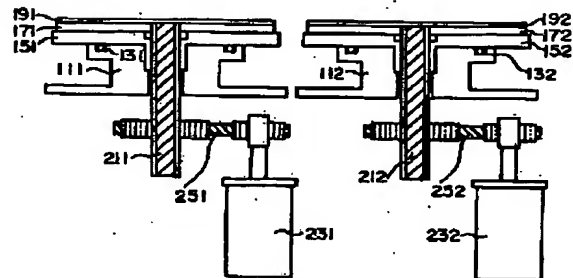
#### 【符号の説明】

1・・・半導体基板、 2、5、12、18・・・ $\text{SiO}_2$ 膜、 3・・・ポリシリコン膜、 4、8、9、14・・・溝部、 6・・・エッチバックレジスト、 7・・・ $\text{Si}_3\text{N}_4$ 膜、 10・・・チャネルカット領域、 11、111、112・・・台、 13、131、132、133、134・・・ベアリング、 15、151、152・・・研磨盤受け、 16・・・Cu膜、 17、171、172・・・研磨盤、 19、191、192・・・研磨布、 20・・・ウェーハ、 21、35、211、212・・・駆動シャフト、 23、37、231、232・・・モータ、 25、251、252・・・回転ベルト、 29・・・テンプレート、 31・・・吸着布、 33・・・吸着盤、 39、41・・・ギア、 43・・・駆動台、 45・・・シリンダ、 51・・・へこみ、 52・・・凸部

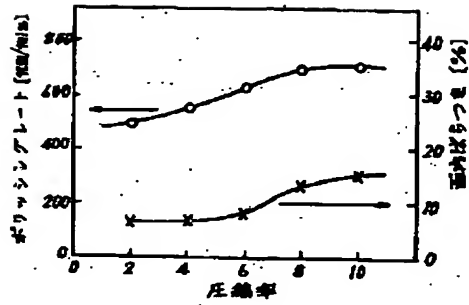
【図1】



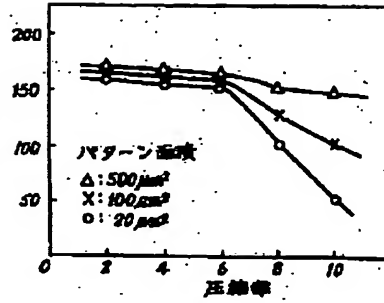
【図2】



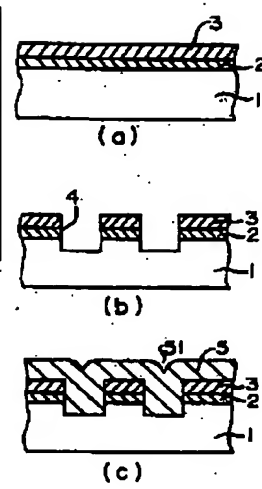
【図3】



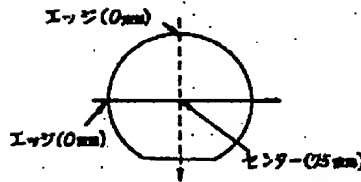
【図4】



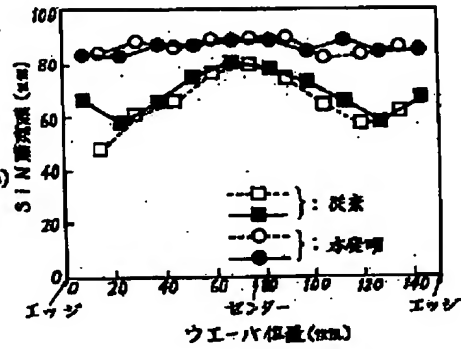
【図7】



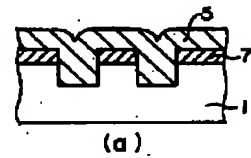
【図5】



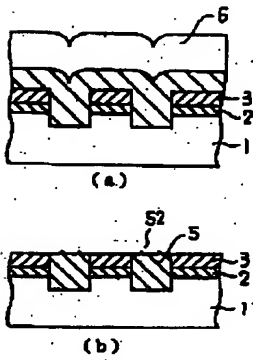
【図6】



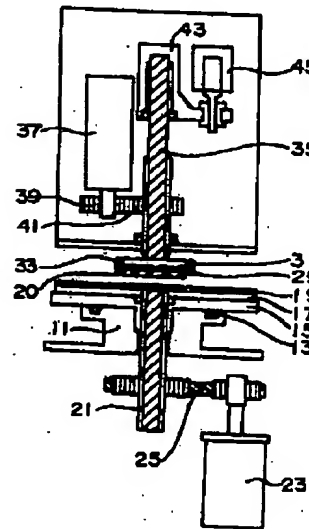
【図11】



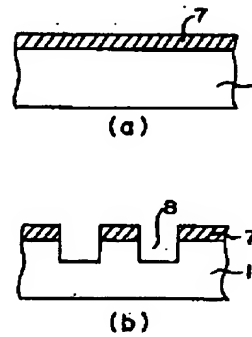
【図8】



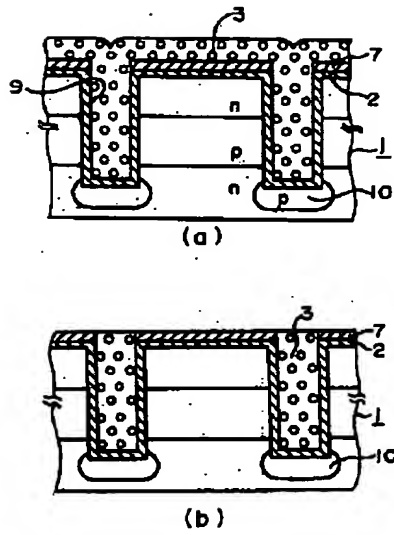
【図9】



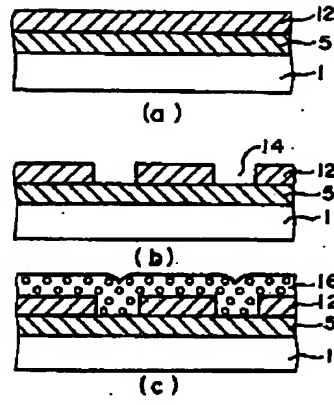
【図10】



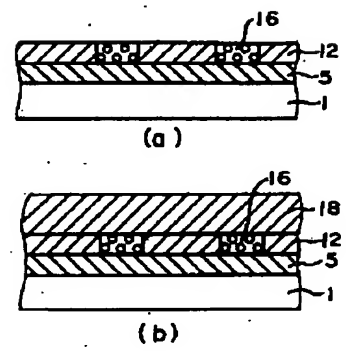
【図12】



【図13】



【図14】



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**